

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-254579

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

G06F 1/10
G06F 12/00
G11C 7/00
G11C 11/407

(21)Application number : 10-046429

(71)Applicant : HEWLETT PACKARD CO <HP>

(22)Date of filing : 27.02.1998

(72)Inventor : JOHNSON LEITH L
FOTLAND DAVID A

(30)Priority

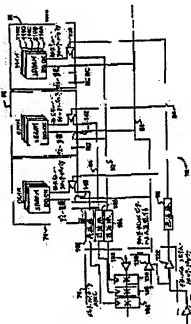
Priority number : 97 807161 Priority date : 27.02.1997 Priority country : US

(54) CLOCK SIGNAL DISTRIBUTING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To minimize skew and to generate and distribute a clock signal by inspecting the adequacy of data of a data bus by a memory controller by using a copy of the clock signal.

SOLUTION: For writing to a memory module 76, a memory controller 74 generates the clock signal to be propagated along a 1st clock line segment. To read data, a copy of the clock when supplied by a 2nd clock line segment is propagated in the reverse direction in the 1st clock line segment from the memory module 76 along a loop and reaches the memory controller 74 along the 2nd clock line segment. At this time, electric characteristics of the data bus and clock line segments are matched so that incident wave fronts of the data bus and clock signal reach the memory controller 74 while having mutually constant relation.



LEGAL STATUS

[Date of request for examination]

14.02.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-254579

(43) 公開日 平成10年(1998)9月25日

(51) Int. CL⁴ 識別記号
 G 0 6 F 1/10
 12/00 5 6 4
 G 1 1 C 7/00 3 1 3
 11/407

F I
 G 0 6 F 1/04 3 3 0 A
 12/00 5 6 4 A
 G 1 1 C 7/00 3 1 3
 11/34 3 5 4 C
 3 6 2 S

審査請求 未請求 請求項の数 1 O L (全 15 頁) 1/3

(21) 出願番号 特願平10-48429

(22) 出願日 平成10年(1998)2月27日

(31) 優先権主張番号 8 0 7, 1 6 1

(32) 優先日 1997年2月27日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000400

ヒューレット・パカード・カンパニー
 アメリカ合衆国カリフォルニア州パロアル
 ト ハノーバー・ストリート 3000

(72) 発明者

レイス・エル・ジョンソン
 アメリカ合衆国コロラド州フォート・コリ
 ンズ イースト・マグノリア・ストリート
 323

(72) 発明者

デビッド・エー・フォトランド
 アメリカ合衆国カリフォルニア州サン・ノ
 ゼ カピストラノ・アベニュー4883

(74) 代理人

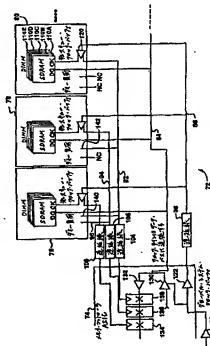
井理士 上野 英夫

(54) 【発明の名称】 クロック信号分配方法

(57) 【要約】

【課題】 スキューを最小限に抑えて、クロック信号を発生し、分配するための方法及び装置を提供する。

【解決手段】 本発明には、クロック・スキューを最小限に抑えて、高転送速度でデータの交換を行う、メモリ・コントローラと、少なくとも1つのメモリ・モジュールが含まれている。データの読み取り時には、第2のクロック・ライン・セグメントにおいてクロック信号のコピーが供給されると、ループを辿って、メモリ・モジュールから第1のクロック・ライン・セグメントを逆に進み、第2のクロック・ライン・セグメントに沿ってメモリ・コントローラに達する。



【特許請求の範囲】

【請求項1】メモリ・モジュールからデータを読み取る際、クロックとデータ信号のスキューを最小限に抑える方法であって、

メモリ・コントローラからメモリ・モジュールにクロック信号を転送すること、

メモリ・モジュールにおいて、データ・バスにデータを送り出すこと、

メモリ・モジュールからメモリ・コントローラにクロック信号のコピーを送ること、

クロック信号のコピーを利用して、メモリ・コントローラにおいて、データ・バスのデータの妥当性を検査することを含む方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル・システムにおけるクロック信号の発生及び分配に関するものである。とりわけ、本発明は、こうしたクロック信号のスキューを最小限に抑えることに関するものである。

【0002】

【従来の技術】デジタル・システムでは、クロック信号のエッジによって指定される時間に、バスにおけるデータが妥当になるように、クロック信号と同期させて、バスにデータを送り出すことによって、データの送受信を行うのが普通である。もちろん、データの伝送はできるだけ高速であることも望ましいので、可能性のある最高周波数でクロックを動作させることが望ましい。

【0003】バスからデータを読み取るコンポーネントを備えたデジタル・システムにおいて、クロック信号の動作可能な最高周波数は、主として、3つの要素、すなわち、クロック信号に対するデータのセット・アップ時間、クロック信号に対するデータのホールド時間、及び、クロック・スキューによって制限される。クロック・スキューには、クロック信号のエッジが、回路の異なる部分において前記クロック信号の同じエッジに対してスキューを生じるクロック間スキューと、クロックのエッジがバスのデータに対してスキューを生じるクロック・データ間スキューが含まれる可能性がある。

【0004】デジタル・システムでは、多くのコンポーネントが単一クロック信号に結合されるのが普通であり、単一の駆動回路で、全コンポーネントのクロック入力を駆動するのは非現実的である。従って、クロック信号のコピーを作成して、クロック信号を必要とする全コンポーネントに分配されるようにするために、クロック・バッファが用いられる。しかし、クロック・バッファによって、クロック・スキューがもたらされることになる。クロック・スキューを最小限に抑えようとして、先行技術の構成では、クロック・バッファが本状クロック分配ネットワークをなすように構成されるので、各コンポーネントに供給されるクロック信号は、同じ数のクロ

ック・バッファを移動することになる。こうした構成は役に立つが、クロック・バッファ間に大様なスキューの偏差が生じる可能性がある。

【0005】計算分野においては、コンピュータ・システムに主メモリ記憶装置を設けるために、同期ダイナミック・ランダム・アクセス・メモリ (SDRAM) を利用する場合が多い。一般に、コンピュータ・システムに用いられるSDRAMは、シングル・インライン・メモリ・モジュール (SIMM) またはデュアル・インライン・モジュール (DIMM) に取り付けられ、さらに、コンピュータ・システムのボードのDIMMまたはSIMMソケットに挿入される。発明の実施の形態と題するセクションにおいて後述するように、先行技術によるSIMM及びDIMM構成に見受けられるクロック・スキューによって、SDRAMにアクセスするクロック周波数が約100MHzに制限されるという影響が生じる。こうした構成の場合、各クロック・パルスに関連した論理状態は、論理状態がスイッチされる前に、クロック分配ネットワーク全体に完全に伝搬する。

【0006】SDRAMにアクセスするクロック周波数が100MHzに制限されるので、コンピュータの設計者は、メモリ・システムのデータ経路幅の拡大に焦点を絞って、メモリ帯域幅を拡大させてきた。しかし、このアプローチは、コストが高つく。データ経路幅が、64ビットから、128ビット、256ビット、及び、それを超えて拡大するにつれて、必要な回路基板スペースに加えて、回路基板のトレース数も法外なものになる。

【0007】Gasbarro他に対する米国特許第5,432,823号のタイトルは「Method and Circuitry for Minimizing Clock-Data Skew in a Bus System」であり、Rambus, Inc. (Rambusという呼称は、Rambus, Inc.の登録商標)に譲渡されている。Gasbarro他による教示のスキュー最小化技法に加えて、他のいくつかの技法も利用することによって、Rambusは、SDRAMに用いられているのと同じタイプのダイナミック・ランダム・アクセス・メモリ (DRAM) ・コアを利用して、500MHzまでの速度で動作するメモリ・サブシステムを市販用に生産することが可能になった。こうした周波数の場合、クロック分配ネットワークにおいて、該ネットワークに結合されたコンポーネントに対し同時に2つ以上のクロック・パルスが「伝送される」ようにすることも可能になる。Rambusの設計によれば、データ・バスの幅を極度に増すことなく、メモリ帯域幅が大幅に拡大される。

【0008】図1は、Gasbarro他の詳細な図3に手を加えたブロック図であり、Rambusメモリ・システムにおいてクロック・スキューを最小限に抑える方法が示されている。図1において、デジタル・シス

テム10は、マスタ受信器/送信器12とスレーブ受信器/送信器14、16、18、及び、20から構成される。マスタ受信器/送信器12及びスレーブ受信器/送信器14、16、18、及び、20は、データ・バス22及びクロック分配システム24に結合されている。クロック分配システム24は、クロック発生源25及びクロック・ライン27から構成される。

【0009】クロック分配システム24の動作周波数が高いため、クロック・ライン27には、所定の時間に2つ以上のクロック・パルスが含まれている可能性がある。従って、ある受信器/送信器に生じるクロック・パルスが、別の受信器/送信器に生じるパルスと一致しない場合がある。この問題に対処するため、Gasbarro他の特許では、クロック・ライン27の2つの独立したセグメントを使用することが開示されている。第1のセグメントは、ClockToMaster28であり、第2のセグメントは、ClockFromMaster26である。2つのセグメントは、端部29で結合されている。各セグメントは、データ・バス22のほぼ同じ長さ及び電気特性を備えた導体である。

【0010】セグメント26は、データがマスタ受信器/送信器12からスレーブ受信器/送信器14に伝送される場合に用いられる。例えば、マスタ受信器/送信器12からスレーブ受信器/送信器20への書き込み操作について考察する。クロック・パルスは、クロック発生源25において発生し、第1のセグメント28及び端部29を通る。パルスが第2のセグメント26を通り始めると、すぐに、マスタ受信器/送信器12のTCLKQに入り、この結果、マスタ受信器/送信器12によってデータ・バス22にデータが送り込まれることになる。データは、TCLKQ入力に入ったクロック・パルスがスレーブ受信器/送信器20のRCLK3入力に達するまで、クロック・パルスとほぼ並行してデータ・バス22を伝搬し、その時点において、スレーブ受信器/送信器20にはそのデータで刻時する。クロック・パルスが通るセグメント26の部分とデータが通るデータ・バス22の部分とが一致するので、もたらされるクロック・スキューが最小限で済む。セグメント28は、スレーブ受信器/送信器の1つからマスタ受信器/送信器12に読み取り操作を実施する場合に、同様に応用される。

【0011】従って、各受信器/送信器12、14、16、18、及び、20は、そのアクティブ・クロックが通過する瞬間に、データ・バス22にデータを結合することが可能でなければならない。Gasbarro他は、これについて、サーファが、波頭を注視して、待ちかまえて、波頭を捕らえて、それに乗って進む、サーフィンに似ていると説明している。

【0012】2つの独立したクロックを各受信器/送信器に結合することによって、各受信器/送信器内に同期問題が生じることになる。端部29に近接して結合され

る装置の場合、送信クロックと受信クロックの位相差は最小になる。しかし、スレーブ受信器/送信器20のような、もう一方の端部にある装置には、送信クロックと受信クロックの間かなりの位相差が生じる可能性がある。従って、受信器/送信器が、交換可能であって、端部29に対して任意の位置につくことが可能であれば、各受信器/送信器毎に、送信クロックと受信クロックの間の異なる位相関係に対処することが可能な同期回路要素を含んでいなければならない。

【0013】図2は、Rambus64メガビットDRAM30のブロック図であり、1995年11月29日に発行されたRambus64-Megabit Rambus DRAM Product Summaryからの図に手を加えたものである。DRAM30は、スレーブ受信器/送信器として構成され、Rambusコントローラは、マスタ受信器/送信器として構成されている。DRAM30は、ClockFromMasterセグメント26及びClockToMasterセグメント28、並びに、各種制御信号及びデータ信号に結合される。図2の目的は、DRAM30の相対的複雑さを明示することにある。Gasbarro他による開示のように、各受信器/送信器は、送信クロックのシフトした位相のバージョンを発生する位相ロック・ループを備えなければならない。さらに、各受信器/送信器内において、各データ・ラインは、遅延素子、位相コンパレータ、マルチプレクサ、ラッチ、及び、いくつもの追加ステージを備えていなければならない。

【0014】Rambusメモリ・システムは、うまく高転送周波数を実現したが、この設計は、極めて複雑であり、先行技術によるメモリ・サブシステムとは全く異なっている。位相ロック・ループは、高密度CMOS実施例における実施が困難になる可能性があり、CMOSメモリ・サブシステムにしばしば生じるスイッチング・ノイズの影響を受けやすい。さらに重要なのは、位相ロック・ループが、信号にロックするための起動時間を必要とするため、電力の減少及び待ち時間の短縮に用いられるクロック停止技法に適合しないという点である。計算分野において必要とされるのは、先行技術によるSIMM及びDIMM構成に似ているが、Rambusメモリ・システムによって実現されるのと同様の転送周波数を実現するメモリ設計である。

【0015】

【発明が解決しようとする課題】本発明の目的は、上記の問題点を解決し、スキューを最小限に抑えて、クロック信号を発生し、分配するための方法及び装置を提供することである。

【0016】

【課題を解決するための手段】本発明の実施態様の1つにおいて、本発明には、クロック・スキューを最小限に抑えて、高転送速度でデータの交換を行う、メモリ・コントローラと、少なくとも1つのメモリ・モジュールが

含まれている。メモリ・モジュールに書き込みを行う場合、メモリ・コントローラは、第1のクロック・ライン・セグメントに沿って伝搬するクロック信号を発生する。データ・バスは、書き込みデータを伝送し、データ・バスと第1のクロック・ライン・セグメントの電気特性は、データ・バス及びクロック信号の入射波面が、互いに一定の関係を保ちながらメモリ・モジュールに到達するように整合がとられる。データの読み取り時には、第2のクロック・ライン・セグメントにおいてクロック信号のコピーが供給されると、ループを巡って、メモリ・モジュールから第1のクロック・ライン・セグメントを逆に進み、第2のクロック・ライン・セグメントに沿ってメモリ・コントローラに送達することになる。データ・バスは、読み取りデータを伝送し、データ・バスと第2のクロック・ライン・セグメントの電気特性は、データ・バス及びクロック信号の入射波面が、互いに一定の関係を保ちながらメモリ・コントローラに到達するように整合がとられる。

【0017】ある構成の場合、メモリ・モジュールには、第2のクロック・セグメントに結合されたダミー負荷が設けられる。このダミー負荷によって、メモリ・モジュールの挿入及び除去時に、第2のクロック・セグメントの電気特性が、データ・バスの電気特性に追従するという保証が得られる。

【0018】本発明によれば、先行技術のモジュールに最小限の設計変更を施すだけで、メモリの帯域幅が大幅に拡大される。ある実施形態の場合、メモリ・モジュールのクロック・バッファからメモリ・モジュールの未使用ピンに出力を結合することによって、先行技術によるメモリ・モジュールが本発明に従って動作するように構成することが可能になる。

【0019】

【発明の実施の形態】図3は、先行技術によるメモリ・システム32のブロック図である。メモリ・システム32には、メモリ・コントローラ専用集積回路(ASIC)34、デュアル・インライン・メモリ・モジュール(DIMM)36、38、及び、40、グローバル・システム・クロック・バッファ42、及び、メモリ・サブシステム・クロック・バッファ44が含まれている。各DIMMモジュールには、1つ以上の同期ダイナミック・ランダム・アクセス・メモリ(SDRAM)回路、及び、低スキュー・クロック・バッファが含まれている。例えば、DIMM40には、SDRAM46A、46B、46C、46D、及び、46Eと、低スキュー・クロック・バッファ48が含まれている。

【0020】メモリ・コントローラASIC34には、内部クロック・バッファ50、データ・バス・ドライバ52、データ受信器54、及び、データ・レジスタ56が含まれている。データ・バス58は、メモリ・コントローラASIC34と、DIMMモジュール36、38、及び、40のそれぞれに結合されている。クロック信号は、クロック・バッファ42及び44から構成されるクロック分配ネットワークによってASIC34に分配される。バッファ42は、マスタ・クロック信号をライン60で受信し、該信号を、それぞれ、ライン62を介してASIC34に、ライン64を介してバッファ44に送る。バッファ44は、クロック信号を、それぞれ、ライン66、68、及び、70を介してDIMM36、38、及び、40に対して送り返す。

【0021】従来の技術と題するセクションにおいて上述したように、クロック信号の動作可能周波数は、主として3つの要素、すなわち、クロック信号に対するデータのセット・アップ時間、クロック信号に対するデータのホールド時間、及び、スキューによって制限される。スキューは、計算技術において周知の用語である。要するに、スキューとは、ある事象が生じるのに要する最短時間と最長時間の差である。スキューは、加法性であり、従って、信号が2つのゲートを通り、各ゲートのスキューが1.0nsの場合、全スキューは、2.0nsになる。回路の全スキューを計算するため、例えば、クロック及びデータが、共通装置によってゲートされるか、あるいは、出力ドライブ及びクロック・バッファの両方を駆動するクロック・ネットまたはクロック・バッファのようなネットの共通ポイントに存在する。あるポイントから開始する。そのポイントから、信号がレジスタまたは出力ピンのような時刻装置に再収束するまで、通過する全ての装置のスキューを加算する。最短の許容可能サイクル時間を計算する場合には、セット・アップ及びホールド時間も含まなければならない。こうした計算例について、以下で述べることにする。

【0022】あるタイプのスキューは、信号が装置の入力から装置の出力に伝搬する際における、装置の伝搬遅延(TPD)時間から生じる。本明細書では、このタイプのスキューをTPDスキューと呼ぶことにする。別のタイプのスキューは、装置の独立した出力において観測される潜在的な時間差間において生じる。本書では、このタイプのスキューを出力間スキューと呼ぶことにする。

【0023】出力間スキューは、そのトランジスタが基本的に整合している単一の半導体装置の作用であるため、制御が容易である。単一の装置は、温度及び電圧が共通しており、製作の異常によって変動が生じると、全ての出力に影響し、従って、相殺される。一方、TPDスキューは、個別の半導体装置の潜在的な時間差を反映したものであるため、はるかに大きくなる。例えば、メモリ・サブシステムのクロック・バッファ44の典型的なTPDスキューは、1.000nsであるが、典型的な出力間スキューは、0.175nsである。一般に、装置のTPDスキューには、装置の出力間スキューが含まれるので、TPDスキューが関連していなければ、装

置の出力間スキューが唯一の要素になる。

【0024】先行技術によるSDRAM ICは、セット・アップ時間が約2.5ns、ホールド時間が約1.0ns、クロック・データ間のTPDスキューが約3.0nsである。しかし、本発明の発明者の信ずるところによれば、これらの時間は、SDRAM出力バッファの遅延を補償して、スキューを短縮するといった、さまざまな技法を利用することによって大幅に改善される可能性があるし、改善されることになるであろう。発明者の予測では、SDRAMの将来のバージョンは、セット・アップ時間が約0.5ns、ホールド時間が約0.25ns、TPDスキューが約0.75nsになる。

【0025】後述するように、本発明では、先行技術によるSDRAM ICを利用して、SDRAMから構成されたメモリ・システムの最高動作周波数をほぼ2倍に高める。しかし、発明者が予測するものと同様のタイミング特性を備えたSDRAMを利用すれば、本発明によ

って、最高動作周波数は約3～4倍に高められる。

【0026】以下のタイミング・バジェット（タイミングの内訳）は、先行技術のSDRAMによる時間を利用して計算されたものである。このバジェットは、読み取り及び書き込み操作の実施時におけるメモリ32のセット・アップ時間及びホールド時間とスキュー時間を示し、システム32の最短許容可能サイクル時間を規定している。全てのバジェットは、クロック・バスの最初の波面が出力バッファに到達すると、即座に、データ・バスにデータが送り出される、データ・バス58における最初の入射波面のスイッチングを想定している。最初の入射波面のスイッチングは、SDRAM及びASIC装置に利用される高性能のCMOS FETトランジスタを利用して簡単に実施される。下記の時間は、こうした装置の時間を表している。

【0027】

【表1】

先行技術構成要素を用いたメモリ・システム32のSDRAM読み取りバジェット

遅延番号	遅延内容	遅延時間
1	クロック・バッファ42出力間スキュー	0.175ns
2	クロック・バッファ44TPDスキュー	1.000ns
3	DIMMクロック・バッファTPDスキュー (例、バッファ48)	1.000ns
4	SDRAM TPDスキュー (例、SDRAM46A)	3.000ns
5	バックプレーンTPDスキュー (0.250ns/スロット×4スロット)	1.000ns
6	ASIC34内部クロック・バッファ50TPDスキュー	2.000ns
7	ASIC34セット・アップ時間	0.250ns
8	ASIC34ホールド時間	0.250ns
合計:		8.675ns
最大サイクル周波数		115.3MHz

【0028】

【表2】

先行技術構成要素を用いたメモリ・システム32のSDRAM書き込みバジェット

遅延番号	遅延内容	遅延時間
9	クロック・バッファ42出力間スキュー	0.175ns
10	ASIC34内部クロック・バッファ50TPDスキュー	2.000ns
11	ASIC34データ・バス・ドライバ52TPDスキュー	0.750ns
12	バックプレーンTPDスキュー (0.250ns/スロット×4スロット)	1.000ns
14	SDRAMセット・アップ時間 (例、SDRAM46A)	2.500ns
15	SDRAMホールド時間 (例、SDRAM46A)	1.000ns
16	クロック・バッファ44TPDスキュー	1.000ns
17	DIMMクロック・バッファTPDスキュー (例、バッファ48)	1.000ns
合計:		9.425ns
最大サイクル周波数		106.1MHz

【0029】回路32の読み取りバジェットの計算は、バッファ42から開始される。バッファ42の出力は、ライン60から導き出されるので、遅延(番号)1には、バッファ42の出力間スキューだけが含まれていない。遅延2及び3は、それぞれ、クロック・バッファ44とDIMMバッファ(例えば、バッファ48)のTPDスキューによって生じる。遅延4は、各SDRAMにおいて見受けられるクロック及びバス・ドライバによってもたらされるスキューである。

【0030】多くのコンピュータ・システムにおいて

は、メモリは、Nのメモリ・サブシステムに構成され、各メモリ・サブシステム毎に、MのDIMMが駆動されるので、全体ではN×MのDIMMが駆動されることになる。従って、図の場合、Mは3に等しい。信号がDIMM間のデータ・バスを渡るのに約0.250nsかかるので、3つのDIMMサブシステムの場合、メモリ・コントローラASICに最も近いDIMMが、最も遠いDIMMより約0.750ns先にデータを受信する。さらに、図3に示すようなバスは、約0.250nsの伝播変動を生じることになる。データは、両方向に

流れなければならないので、クロック・ラインの長さを利用して、この遅延を補償することはできない。従って、設計者は、読み取り操作と書き込み操作の両方にクロックを利用することができるよう、DIMMに流れるクロック長を等化させようとしなければならない。遅延5は、0.250nsの伝搬変動と、異なるDIMMに伝搬するデータは、異なる長さのデータ・バス58を通るが、クロック信号はほぼ同じ長さを伝搬するという事実によってもたらされるスキューを考慮したものである。もちろん、遅延5は、メモリ・サブシステムにおけるDIMM数に従って変動することになる。

【0031】遅延6は、ASIC34におけるクロック・バッファ50のTPDSキューである。遅延6には、ASIC34のクロック・データ間スキューも含まれている。遅延7は、ASIC34のセット・アップ時間であり、遅延8は、ASIC34のホールド時間である。上述のように、回路32の読み取りバジェットによって、115.3MHzの最高読み取りサイクル周波数が得られる。

【0032】回路32の書き込みバジェットの計算も、バッファ42から開始される。遅延9は、クロック・バッファ42の出力間スキューであり、読み取りバジェットにおける遅延1に対応する。遅延10は、ASIC34のクロック・バッファ50のTPDSキューを表しており、読み取りバジェットの遅延6に対応する。遅延11は、ASIC34のバス・ドライバ52のTPDSキューである。遅延12は、DIMMのバック・プレーンに関連した遅延であり、書き込みバジェットの遅延5に対応する。遅延14及び15は、それぞれ、SDRAM46AのようなSDRAM1Cのセット・アップ時間及びホールド時間である。遅延16は、クロック・バッファ44のTPDSキューであり、遅延17は、バッファ48のようなDIMMクロック・バッファのTPDSキューである。以上から明らかなように、回路32の書き込みバジェットによって、回路32の動作可能な最高周波数である106.1MHzの最高書き込みサイクル周波数が得られる。

【0033】図4は、本発明によるメモリ・システム72のブロック図である。メモリ・システム72には、メモリ・コントローラASIC74、DIMM76、78、及び、80、グローバル・システム・クロック・バッファ82、データ・バス84、クロック・ライン86、及び、遅延線98、104、106、及び、108が含まれている。各クロック・ラインには、遅延線の1つが設けられている。各DIMMには、クロック・バ

ッファと、少なくとも1つのSDRAMが含まれている。例えば、DIMM80は、SDRAM110A、110B、110C、110D、及び、110Eと、バッファ120を備えている。各DIMMクロック・バッファは、SDRAMのクロック入力に結合された出力を備えている。さらに、各クロック・バッファの1つのラインが、クロック・ラインを介してASIC74に送り返される。各DIMMは、さらに詳細に後述するダミー負荷のための接続も備えている。

【0034】メモリ・コントローラASIC74には、クロック・ドライバ122、データ・バス・ドライバ130、データ・バス受信器132、及び、レジスタ134、136、及び、138が含まれている。レジスタ134、136、及び、138は、DIMMのクロック・バッファによって供給されるクロック信号によって刻まれる。

【0035】図3の先行技術によるメモリ・システム32と本発明のメモリ・システムの基本的な相違は、DIMMからの読み取りデータを記録するためにASIC74によって用いられる用いられるクロックが、DIMMのクロック・バッファによって供給されるという点である。従って、クロック・パルスは、必ず、データと同じ方向に進行する。本発明は、データ・バス84に対応する電気特性を備えたクロック・ラインを設計することによって、メモリ・サブシステムの最高許容可能サイクル周波数に大規模な改良を加えることが可能である。これらの技法については、回路72のSDRAM読み取り及び書き込みバジェットを考慮して、詳述する。下記のタイミング・バジェットは、読み取り及び書き込み操作の実施時におけるメモリ回路72のセット・アップ及びホールド時間とスキュー時間を示している。全てのバジェットは、データ・バス84における最初の入射波面のスイッチングを想定している。本発明の利点を示すため、タイミング・バジェットは、図3に示すものと同一のタイミング特性を備えた先行技術によるクロック・バッファ、SDRAM、及び、ASICを用いて計算されている。しかし、クロック・バッファ、SDRAM、及び、ASICを接続する、回路基板のクロック経路とデータ経路は、後述するようにきっちりと一致しなければならない。本発明と図1の先行技術によるメモリ・サブシステム32の比較を助けるため、下記に用いられる遅延参照番号は、上記で用いられたものと統一されている。

【0036】

【表3】

先行技術構成要素を用いたメモリ・システム72のSDRAM読み取りバリエーション

遅延番号	遅延内容	遅延時間
18	DIMMクロック・バッファ出力間スキュー (例、バッファ120)	0.175ns
19	SDRAM TPDスキュー (例、SDRAM110A)	3.000ns
20	バックプレーンTPDスキュー	0.250ns
21	ASIC74データ・タクトクロック間スキュー	0.250ns
22	ASIC74データ・セット・アップ時間	0.250ns
23	ASIC74データ・ホールド時間	0.250ns
	合計:	4.175ns
	最大サイクル周波数	239.5MHz

【0037】

【表4】

先行技術構成要素を用いたメモリ・システム72のSDRAM書き込みバリエーション

遅延番号	遅延内容	遅延時間
24	ASIC74クロック・ドライバデータ・ドライブ間スキュー	0.500ns
25	バックプレーンTPDスキュー	0.250ns
27	SDRAMセット・アップ時間 (例、SDRAM110A)	2.500ns
28	SDRAMホールド時間 (例、SDRAM110A)	1.000ns
29	DIMMクロック・バッファTPDスキュー (例、バッファ120)	1.000ns
	合計:	5.250ns
	最大サイクル周波数	190.5MHz

【0038】図3のメモリ・サブシステムの場合、読み取りバリエーションの計算は、グローバル・システム・クロック・バッファ42から開始された。図4の本発明の場合、読み取りデータの妥当性を検査するためASIC74によって利用されるクロックは、DIMMクロック・バッファによって供給される。これによって得られる利点の1つは、読み取りバリエーションの計算が、DIMMクロック・バッファにおいて開始されるということである。これによって、グローバル・システム・クロック・バッファ及びメモリ・サブシステム・クロック・バッファからスキューが除去され、DIMMクロック・バッファのスキューがTPDスキューから出力間スキューに変換される。上述のように、出力間スキューは、TPDスキューよりはるかに小さい。従って、遅延18は、バッファ120のようなDIMMクロック・バッファの出力間スキューである。

【0039】遅延19は、SDRAM TPDスキューである。この遅延は、システム32の遅延4に対応する。

【0040】図3に関連して上述のように、先行技術によるメモリ・システム32は、かなりのバック・プレーン・スキューを有している。しかし、図4の場合、各DIMMからASIC74に延びるクロック・ラインは、バス84の対応するデータ・ラインとぴったりと一致する。さらに、各DIMMからのデータは、ASIC74の対応する独立したレジスタに記録される。例えば、DIMM78からのデータは、レジスタ136に記録される。その結果、DIMM間のバック・プレーン接続による伝搬遅延は最小限に抑えられ、DIMM数によって変化することはない。従って、遅延20は、バス84に関連した0.250nsの伝搬変動を表しているが、デ-

ータ・バス58の異なる長さを通るデータによってもたらされるスキューは含まれていない。

【0041】遅延21は、ASIC74のデータ・タクトクロック間スキューである。回路32の場合、この時間はASIC34の内部クロック・バッファ50のTPDスキューに含まれている(遅延6)。本発明では、一致したラインに沿ってDIMMからクロック及びデータを供給することによって、TPDスキューははるかに小さいデータ・クロック間スキューに置き換えられる。

【0042】遅延22及び23は、それぞれ、ASIC74のデータ・セット・アップ時間及びデータ・ホールド時間である。これらの時間は、システム32の遅延7及び8に対応する。以上から明らかなように、回路72の読み取りバリエーションによって、239.5MHzの最高読み取りサイクル周波数に対して極めて大幅な改善である。しかし、両回路とも、同様のタイミング特性を備えたコンポーネントを利用している。

【0043】本発明の場合、DIMMからデータを読み取る場合、クロック及びデータが、DIMMから生じ、一致したラインに沿って伝搬する。同様に、DIMMにデータを書き込む場合、クロック及びデータがASIC74から生じ、一致したラインに沿って伝搬する。

【0044】図3のメモリ・システム32の場合、書き込みバリエーションの計算は、グローバル・システム・クロック・バッファ42から開始された。図4の本発明のメモリ・システム72の場合、書き込みバリエーションの計算は、ASIC74のクロック及びデータ出力から開始される。クロックをASIC74に送り込む経路選択とASIC74から送り出す経路選択を行うことによって、

グローバル・システム・クロック・バッファによって発生するスキューは、除去され、ASICの内部クロック・バッファのスキューは、ASIC74が単一装置であるため、はるかに小さいクロック・ドライバ・データ・ドライバ間スキューに置き換えられる。遅延24は、ASIC74のクロック・ドライバ・データ・ドライバ間スキューである。

【0045】 上述のように、本発明は、バック・プレーン・スキューを最小限に抑える。遅延25は、バック・プレーン・スキューである。

【0046】 遅延27及び28は、SDRAM110AのようなSDRAMのセット・アップ時間及びホールド時間である。遅延27及び28は、それぞれ、メモリ・システム32の遅延14及び15に対応する。

【0047】 遅延29は、DIMMクロック・バッファ（バッファ120のような）のTPDSキューであり、システム32の遅延17に対応する。上記から明らかなように、回路72の書き込みバジェットによって、190.5MHzの最高読み取りサイクル周波数が得られるが、これは、システム32によって得られる106.1MHzの最高読み取りサイクル周波数に比べて大幅な改善である。従って、本発明のメモリ・システムは、190.5MHzで動作するが、先行技術のメモリ・システムは、106.1MHzで動作する。従って、本発明によれば、先行技術のコンポーネントを利用して、最高動作周波数が80%向上する。

【0048】 システム72の読み取り及び書き込みバジェットの計算に用いられたコンポーネントは、図3の先行技術によるシステム32のものと同一タイミング特性

を備えている。しかし、こうしたコンポーネントの場合、メモリ・システム72の読み取りサイクルのタイミング（239.5MHz）と書き込みサイクルのタイミング（190.5MHz）の間にかなりの相違がある。わずかなコンポーネントの取り替えにとどめて、この相違を大幅に減少させることが可能である。

【0049】 システム32及び72におけるDIMMに用いられるクロック・バッファのTPDSキュー値は1.000nsである。これは、DIMMにおいて一般に用いられている低電圧TTLクロック・バッファに相当する。しかし、各DIMMに、よりコストの高いECLクロック・バッファを用いると、バッファのTPDSキューは、0.200nsに短縮される。これによって、全最短許容可能書き込みサイクル時間は4.45nsに短縮され、従って、最高許容可能書き込み周波数は224.7MHzにまで上昇し、この結果、書き込み周波数は読み取り周波数に近づくことになる。この取り替えの場合、より小幅ではあるが、DIMMクロック・バッファの出力間スキューも短縮されるので、最高許容可能読み取り周波数も多少上昇する。

【0050】 次に、先行技術によるメモリ・システム32と本発明のメモリ・システム72は、本発明の予測に従い、セット・アップ時間が約0.5ns、ホールド時間が約0.25ns、TPDSキューが約0.75nsのSDRAMの将来のバージョンを利用して構成されるものと仮定する。読み取りバジェット及び書き込みバジェットは、下記の通りである：

【0051】

【表5】

将来の構成要素を用いたメモリ・システム32のSDRAM読み取りバジェット

遅延番号	遅延内容	遅延時間
30	クロック・バッファ42出力間スキュー	0.175ns
31	クロック・バッファ44TPDSキュー	1.000ns
32	DIMMクロック・バッファTPDSキュー (例、バッファ48)	1.000ns
33	SDRAM TPDSキュー (例、SDRAM46A)	0.750ns
34	バックプレーンTPDSキュー (0.250ns/スロット×4スロット)	1.000ns
35	ASIC34内部クロック・バッファ50TPDSキュー	2.000ns
36	ASIC34セット・アップ時間	0.250ns
37	ASIC34ホールド時間	0.250ns
合計:		6.425ns
最大サイクル周波数		155.6MHz

【0052】

【表6】

将来の構成要素を用いたメモリ・システム32のSDRAM書き込みバリエーション

遅延番号	遅延内容	遅延時間
38	クロック・パッファ42出力周スキュー	0.175ns
39	ASIC34内部クロック・パッファ50TPDSキュー	2.00ns
40	ASIC34データ・バス・ドライバ52TPDSキュー	0.750ns
41	バックプレーンTPDSキュー (0.250ns/スロット×4スロット)	1.000ns
42	SDRAMセット・アップ時間(例、SDRAM46A)	0.500ns
43	SDRAMホールド時間(例、SDRAM46A)	0.250ns
44	クロック・パッファ44TPDSキュー	1.000ns
45	DIMMクロック・パッファTPDSキュー (例、パッファ48)	1.000ns
合計:		6.575ns
最大サイクル周波数		149.8MHz

【0053】従って、当業者には予想が付くように、先行技術によるメモリ・システム32は将来のSDRAMを用いる時は149.8MHzで動作する。

【0054】

【表7】

将来の構成要素を用いたメモリ・システム72のSDRAM読み取りバリエーション

遅延番号	遅延内容	遅延時間
46	DIMMクロック・パッファ出力周スキュー (例、パッファ120)	0.175ns
47	SDRAMTPDSキュー(例、SDRAM110A)	0.750ns
48	バックプレーンTPDSキュー	0.250ns
49	ASIC74データ・バス・ドライバ周スキュー	0.250ns
50	ASIC74データ・セット・アップ時間	0.250ns
51	ASIC74データ・ホールド時間	0.250ns
合計:		1.925ns
最大サイクル周波数		519.6MHz

【0055】

【表8】

将来の構成要素を用いたメモリ・システム72のSDRAM書き込みバリエーション

遅延番号	遅延内容	遅延時間
52	ASIC74クロック・ドライバデータ・ドライバ周スキュー	0.500ns
53	バックプレーンTPDSキュー	0.250ns
54	SDRAMセット・アップ時間(例、SDRAM110A)	0.500ns
55	SDRAMホールド時間(例、SDRAM110A)	0.250ns
56	DIMMクロック・パッファTPDSキュー (例、パッファ120)	1.000ns
合計:		2.5ns
最大サイクル周波数		400.0MHz

【0056】従って、メモリ・システム72は、発明者の予測によれば、将来のSDRAMを利用する場合、400.0MHzで動作することになる。これは、先行技術による回路32に比べて167%の向上である。ECLDIMMクロック・パッファが回路32及び72の両方に用いられる場合、周波数は、170MHz及び588MHzに急上昇する。ECLパッファと将来のSDRAMによって、メモリ・システム72は、先行技術によるメモリ・システム32よりも246%速くなる。

【0057】先行技術によるSIMM及びDIMMの利点の1つは、メモリの取り付け及び取り外しが容易に行えるということである。各DIMMのダミー負荷接続によって、本発明は、性能を犠牲にすることなく、この利点を継承することが可能である。基本的に、ダミー負荷は、追加DIMMを加えることによってデータ・バスに生じる効果をクロック・ラインにおいて再現しようとする。例えば、ASIC74からDIMM80にデータが

書き込まれており、DIMM76及び78が取り付けられているものと仮定する。データ・バス・ドライバ130は、DIMM76及び78内に延びるデータ・バス84の一部のキャパシタンスを駆動し、ダミー負荷140及び142は、これらの部分の電気的効果を再現することによって、DIMM80とASIC74の間におけるクロック・ライン92とデータ・バス84の電気特性を一致した状態に保つ。次に、DIMM78が取り除かれるものと仮定する。DIMM78が取り除かれると、データ・バス84の一部を取り除かれる。しかし、それによって、ダミー負荷142も取り除かれるので、クロック・ライン92の電気的特性は、データ・バス84の電気的特性と一致したままである。各DIMM毎に設けなければならないダミー負荷数は、メモリ・サブシステムに配置することが可能なDIMM数から1つ引いた数に等しい。

【0058】SDRAMへの書き込み時に、SDRAM

よって必要とされるセット・アップ時間をつくり出すために、遅延線98が必要になる可能性がある。遅延線は、当該技術において既知のように、単純に経路長を延長したタイプ、または、他の何らかのタイプの遅延線とすることが可能である。代替案として、遅延線98をASIC74に送り込むことが可能であり、その場合、遅延線98の遅延を簡単に変更することができる。

【0059】同様に、SDRAM伝搬遅延を補償し、ASIC74が必要とするセット・アップ時間をつくり出すために、遅延線104、106、及び、108が必要になる可能性がある。やはり、遅延線104、106、及び、108をASIC74に送り込むことが可能であり、その場合、遅延線の遅延を簡単に変更することができる。

【0060】遅延線98が必要とする遅延は、DIMMクロック・バッファの伝搬遅延とSDRAMが必要とするセット・アップ時間によって決まる。遅延線98、104、106、及び、108は、有効データ・ウインドウの中央にクロックの中心がくるように調整することが可能であり、この結果、クロックとデータは、適正な位相関係をなして、DIMM及びASIC74に到着する。

【0061】本発明によれば、先行技術のDIMM及びSIMM設計に最小限の変更を加えることによって、DIMM及びSIMMをベースにした先行技術のメモリ・サブシステムに対して大幅に性能が向上する。先行技術のDIMM設計は、上述のように、ただ単にDIMMのクロック・バッファの出力をDIMMの未使用のピンに対して経路指定し、他の未使用ピンにゲート・負荷を設けるだけで、修正することが可能である。性能のかなりの追加利得は、ただ単にDIMMの低電圧TTLクロック・バッファをECLクロック・バッファに置き換えるだけで実現することが可能である。

【0062】現行メモリ構成に適用すると、本発明によって、かなりの利得が得られるが、本明細書に開示の概念は、SDRAMが本発明によって機能するように設計される場合、いっそう多くの利得をもたらすことが可能になる。例えば、SDRAMバース・数を減らすと、DIMMクロック・バッファが除去され、クロックが直接SDRAMに供給されるようになる。また、SDRAMに、データと共にメモリ・コントローラASICに送ることが可能なクロックの出力ピンが設けられている小システムの場合、メモリ・システムの周波数は、さらに上昇させることが可能である。こうした構成の場合、読み取りバジェットから、SDRAM TPDスキュー(0.750ns)が除去され、DIMMクロック・バッファ出力スキューが、SDRAMの出力における出力間スキューに置き換えられる。これによって、読み取りサイクル時間が1.175nsに短縮され、最高読み取りサイクル周波数が85.1OMHzに上昇する。

同様に、こうした構成によって、DIMMクロック・バッファTPDスキュー(1.000ns)が書き込みバジェットから除去され、この結果、書き込みサイクル時間が1.5nsに短縮され、最高読み取りサイクル周波数が66.7MHzに上昇する。

【0063】本発明の説明は、メモリ・コントローラ及びメモリ・モジュールに関連して行われてきた。しかし、当該技術の技術者には明らかなように、本発明は、データが第1と第2のデータ・ブロック間において送られ、クロック信号によって妥当性が検査される多くの他のタイプのデジタル・システムにおける利用に適合させることも可能である。さらに、本発明の利点のいくつかは、ただ単にシャドロー・クロック・バッファをDIMMソケットに近接して配置するだけで実現することが可能であり、シャドロー・クロック・バッファは戻りクロックを発生する。この構成の場合、本発明の利点の多くは、先行技術のDIMMを用いることによって実現することが可能である。

【0064】本発明によれば、先行技術によるDIMM及びSIMMメモリ構成に比べて性能が大幅に向上するが、本発明には、Rambus, Inc. 製のような先行技術による高速メモリ・システムに対してもいくつかの利点がある。こうした先行技術による高速メモリ・システムは、500MHzを超える周波数で動作するが、クロック・スキューを取り扱うために、複雑な位相検出器、位相ロック・ループ、遅延線等を必要とする。本発明では、こうした技法を用いなくても、少なくとも同じ速度が得られる。必要とされるのは、いくつかの追加相互接続を行い、クロック・ライン及びデータ・ラインに入念な注意を払って、それらの電気特性が適正に一致するという保証が得られるようにすること、(オプションにより)各DIMM毎に高速クロック・バッファを利用することだけである。最後に、本発明は、位相ロック・ループに左右されないもので、電力に減少及び待ち時間の短縮に利用されるクロック停止技法を用いるのが容易である。位相ロック・ループは、信号にロックするのに起動期間を必要とする。

【0065】本発明の説明は、望ましい実施態様に関連して行われてきたが、当該技術の技術者には明らかなように、本発明の精神及び範囲を逸脱することなく、形態及び細節に変更を施すことが可能である。

【0066】以上、本発明の実施例について詳述したが、以下、本発明の各実施態様の例を示す。

【0067】(実施態様1)メモリ・モジュールからデータを読み取る際、クロックとデータ信号のスキューを最小限に抑える方法であって、メモリ・コントローラからメモリ・モジュールにクロック信号を転送すること、メモリ・モジュールにおいて、データ・バスにデータを送り出すこと、メモリ・モジュールからメモリ・コントローラにクロック信号のコピーを送ること、ク

ロック信号のコピーを利用して、メモリ・コントローラにおいて、データ・バスのデータの妥当性を検査することを含む方法。

【0068】(実施態様2)メモリ・モジュールにデータを書き込む際、クロックとデータ信号のスキューを最小限に抑える方法であって、メモリ・コントローラからメモリ・モジュールにクロック信号を転送することと、メモリ・コントローラにおいて、データ・バスにデータを送り出すことと、メモリ・コントローラからメモリ・モジュールにクロック信号のコピーを送ることと、クロック信号のコピーを利用して、メモリ・モジュールにおいて、データ・バスのデータの妥当性を検査することを含む方法。

【0069】

【発明の効果】以上のように、本発明によれば、数百メガヘルツの速度で動作するプロセッサが将来発生することによって生じる問題に対処する、低コストで高性能のメモリ・システムによる解決策が得られる。

【図面の簡単な説明】

【図1】Gasbarro他に対する米国特許第5,432,823号の図3に手を加えたものであり、Rambusメモリ・システムにおいてクロック・スキューを最小限に抑える方法を明らかにするブロック図である。

【図2】Rambus64メガ・ビットDRAMのブロック図であり、1995年11月29日に発行されたRambus64-Megabit Rambus DRAM Product Summaryの図に手を加えた図である。

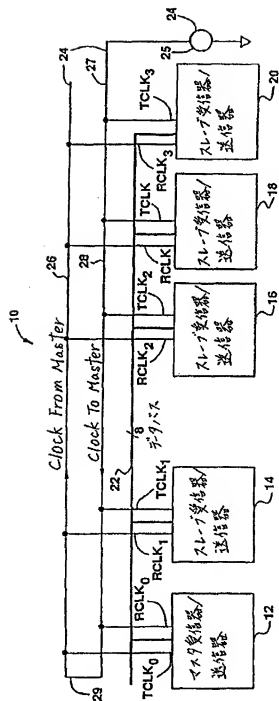
【図3】デュアル・インライン・メモリ・モジュール(DIMM)を用いた先行技術によるメモリ・システムのブロック図である。

【図4】本発明によるメモリ・システムのブロック図である。

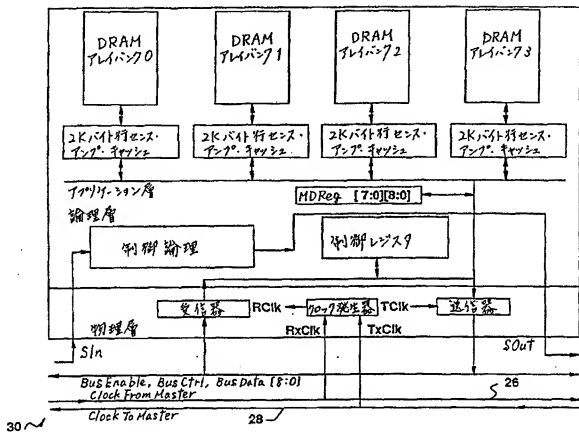
【符号の説明】

- 32:メモリ・システム
- 34:メモリ・コントローラASIC
- 36、38、40:DIMM
- 42:グローバル・システム・クロック・バッファ
- 44:メモリ・サブシステム・クロック・バッファ
- 46:SDRAM
- 48:クロック・バッファ
- 50:内部クロック・バッファ
- 52:データ・バス・ドライバ
- 54:データ受信器
- 56:データ・レジスタ
- 58:データ・バス
- 60、62、64、66、70:ライン
- 72:メモリ・システム
- 74:メモリ・コントローラASIC
- 76、78、80:DIMM
- 82:グローバル・システム・クロック・バッファ
- 84:データ・バス
- 86、92:クロック・ライン
- 98、104、106、108:遅延線
- 110:SDRAM
- 120:DIMMクロック・バッファ
- 122:クロック・ドライバ
- 130:データ・バス・ドライバ
- 132:データ・バス受信器
- 134、136、138:レジスタ
- 140、142:ダミー負荷

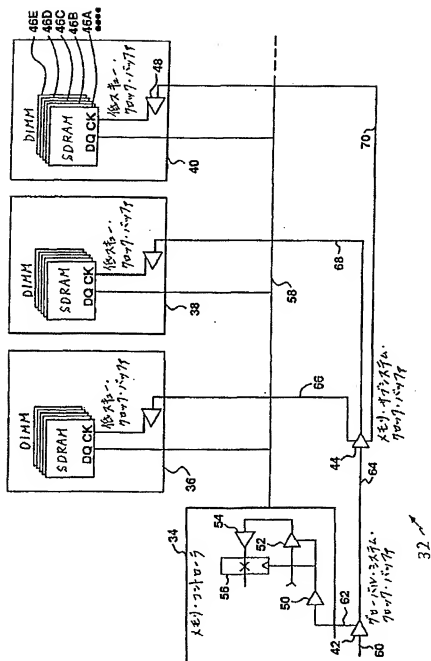
【図1】



【図2】



【図3】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成17年8月25日(2005.8.25)

【公開番号】特開平10-254579
 【公開日】平成10年9月25日(1998.9.25)
 【出願番号】特願平10-46429
 【国際特許分類第7版】

G 0 6 F 1/10
 G 0 6 F 12/00
 G 1 1 C 7/00
 G 1 1 C 11/407

【F I】

G 0 6 F 1/04 3 3 0 A
 G 0 6 F 12/00 5 6 4 A
 G 1 1 C 7/00 3 1 3
 G 1 1 C 11/34 3 5 4 C
 G 1 1 C 11/34 3 6 2 S

【手続補正書】
 【提出日】平成17年2月14日(2005.2.14)
 【手続補正1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項1】

メモリシステムであって、
 メモリ・コントローラと、
 複数のメモリ・モジュール・ソケットであって、各メモリ・モジュール・ソケットは、クロック入力ピンと、クロック出力ピンとを含む、複数のメモリ・モジュール・ソケットと、

少なくとも1つのメモリ・モジュールであって、各メモリ・モジュールは、前記複数のメモリ・モジュール・ソケットのうちの1つのメモリ・モジュール・ソケット内に配置される、少なくとも1つのメモリ・モジュールと、

前記メモリ・モジュール・ソケットの前記クロック入力ピンの各々に接続された第1のクロック・ライン・ネットワークと、

前記複数のメモリ・モジュール・ソケットに対応する、複数の第2のクロック・ラインとを備え、

各メモリ・モジュールは、

該メモリ・モジュールが中に挿入される前記メモリ・モジュール・ソケットの前記クロック入力ピンと電気的に接触するクロック入力ピンと、

該メモリ・モジュールが中に挿入される前記メモリ・モジュール・ソケットの前記クロック出力ピンと電気的に接触するクロック出力ピンとを含み、

前記メモリ・モジュールの前記クロック出力ピンにおいて提供される信号は、前記メモリ・モジュールの前記クロック入力ピンにおいて提供される信号から得られ、

各メモリ・モジュールは、ダミー負荷に接続された、N個のダミー負荷ピンを含み、

前記Nは、前記メモリ・コントローラによってサービスを受けるメモリ・モジュール・ソケットの数から1を減じた数を表し、

各第2のクロック・ラインは、複数のメモリー・モジュール・ソケットのうちの1つのメモリー・モジュール・ソケットの前記クロック出力ピンと、前記メモリ・コントローラとの間に接続され、前記ソケット内に挿入されたメモリー・モジュールから前記メモリ・コントローラへと伝送されるデータを前記メモリ・コントローラにおいて検証する第2のクロック信号を搬送することからなる、メモリシステム。

【請求項2】

前記複数のメモリ・モジュール・ソケットのうちの1つのメモリ・モジュール・ソケットは、別のメモリ・モジュール・ソケットのクロック出力ピンにおいて提供される第2のクロック・ラインのうちの1つに接続されたダミー負荷ピンを含む、請求項1に記載のメモリシステム。

【請求項3】

各メモリ・モジュールは、

複数のランダム・アクセス・メモリ集積回路と、

前記メモリ・モジュールの前記クロック入力ピンにおいて見出される信号を受信するクロック・バッファであって、複数のクロック・バッファ出力を生成する、クロック・バッファ

とを更に含む、

前記複数のクロック・バッファ出力のうちの第1のクロック・バッファ出力は、前記メモリ・モジュールの前記クロック出力ピンに接続され、

前記複数のランダム・アクセス・メモリ集積回路の各ランダム・アクセス・メモリ集積回路は、前記複数のクロック・バッファ出力のうちの残りのクロック・バッファ出力に接続されることからなる、請求項1に記載のメモリシステム。

【請求項4】

前記第1のクロック・ライン・ネットワークは、前記メモリ・モジュールによって要求されるセット・アップ遅延を補償する遅延線を含む、請求項1に記載のメモリシステム。

【請求項5】

各第2のクロック・ラインは、メモリ・モジュール伝搬遅延と、前記メモリ・コントローラによって要求されるセット・アップ遅延とを、前記メモリー・モジュールから前記メモリ・コントローラへの読み出し時に補償する遅延線を含む、請求項1に記載のメモリシステム。

【請求項6】

前記第1のクロック・ライン・ネットワークは、前記メモリ・コントローラによって提供される、請求項1に記載のメモリシステム。

【請求項7】

メモリシステムであって、

メモリ・コントローラと、

複数のメモリ・モジュール・ソケットであって、各メモリ・モジュール・ソケットは、メモリ・モジュールを受け入れるように構成され、クロック入力ピンと、クロック出力ピンを含む、複数のメモリ・モジュール・ソケットと、

前記メモリ・モジュール・ソケットの前記クロック入力ピンの各々に接続された第1のクロック・ライン・ネットワークと、

前記複数のメモリ・モジュール・ソケットに対応する、複数の第2のクロック・ラインとを備え、

各第2のクロック・ラインは、複数のメモリー・モジュール・ソケットのうちの1つのメモリー・モジュール・ソケットの前記クロック出力ピンと、前記メモリ・コントローラとの間に接続され、前記ソケット内に挿入されたメモリー・モジュールから前記メモリ・コントローラへと伝送されるデータを前記メモリ・コントローラにおいて検証する第2の

クロック信号を搬送し、

前記複数のメモリ・モジュール・ソケットのうちの少なくとも1つは、別のメモリー・モジュール・ソケットのクロック出力ピンにおいて提供される第2のクロック・ラインのうちの1つに接続されたダミー負荷ピンを含むことからなる、メモリシステム。

【請求項8】

前記第1のクロック・ライン・ネットワークは、メモリー・モジュール・ソケット内に挿入されたメモリ・モジュールによって要求されるセット・アップ遅延を補償する遅延線を含む、請求項7に記載のメモリシステム。

【請求項9】

各第2のクロック・ラインは、メモリ・モジュール伝搬遅延と、前記メモリ・コントローラによって要求されるセット・アップ遅延とを、メモリー・モジュールからの読み出しが前記メモリ・コントローラに対して行われた時に補償する遅延線を含む、請求項7に記載のメモリシステム。

【請求項10】

前記第1のクロック・ライン・ネットワークは、前記メモリ・コントローラによって提供される、請求項7に記載のメモリシステム。

【請求項11】

メモリ・モジュールであって、

クロック入力ピンと、

クロック出力ピンと、

N個のダミー負荷ピンであって、各ダミー負荷ピンは、ダミー負荷に結合される、N個のダミー負荷ピンと、

前記クロック入力ピンから得られる信号を受け取るように構成される複数のランダム・アクセス・メモリ集積回路と、

前記クロック入力ピンにおいて見出される信号を受信するクロック・バッファであって、複数のクロック・バッファ出力を生成する、クロック・バッファとを備え、

前記クロック出力ピンに提供される信号は、前記クロック入力ピンにおいて提供される信号から配信され、

前記複数のクロック・バッファ出力のうちの第1のクロック・バッファ出力は、前記クロック出力ピンに接続され、

前記複数のランダム・アクセス・メモリ集積回路の各ランダム・アクセス・メモリ集積回路は、前記複数のクロック・バッファ出力のうちの残りのクロック・バッファ出力に接続されることからなる、メモリ・モジュール。